

## MEMORY MODULE

Patent Number: JP6196836  
Publication date: 1994-07-15  
Inventor(s): SHINKAWA TANEKAZU; others: 01  
Applicant(s): MITSUBISHI ELECTRIC CORP  
Requested Patent:  JP6196836  
Application Number: JP19920357792 19921225  
Priority Number(s):  
IPC Classification: H05K1/16  
EC Classification:  
Equivalents:

---

### Abstract

---

**PURPOSE:** To improve the reliability of memory modules and reduce the number of components and processes by omitting a chip capacitor for noise cut.

**CONSTITUTION:** A pattern of a capacitor 6 is formed on a memory module substrate 1 and connected with wiring patterns 8 and 9. A memory IC 4 is connected with a land pattern 2. This allows omitting soldering chip capacitors and visual inspections.

---

Data supplied from the [esp@cenet](mailto:esp@cenet) database - I2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-196836

(43) 公開日 平成6年(1994)7月15日

(51) Int.Cl.<sup>5</sup>  
H 05 K 1/16  
// H 01 L 25/00

識別記号 E 6921-4E  
F I

技術表示箇所

審査請求 未請求 請求項の数1(全3頁)

(21) 出願番号 特願平4-357792  
(22) 出願日 平成4年(1992)12月25日

(71) 出願人 000006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号  
(72) 発明者 新川 種和  
伊丹市瑞原4丁目1番地 三菱電機株式会  
社北伊丹製作所内  
(72) 発明者 山口 哲也  
伊丹市瑞原4丁目1番地 三菱電機株式会  
社北伊丹製作所内  
(74) 代理人 弁理士 田澤 博昭 (外2名)

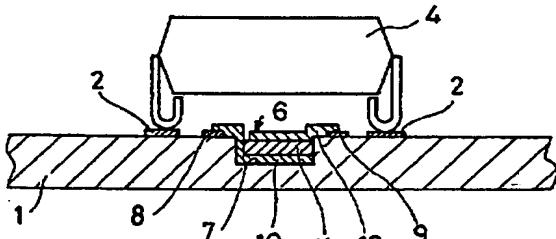
(54) 【発明の名称】 メモリモジュール

(57) 【要約】

【目的】 メモリモジュールのノイズカット用チップコンデンサを省略することにより、信頼性の向上、部品点数及び工程数の削減を図ることを目的とする。

【構成】 メモリモジュールの基板1にコンデンサ6をバーニングして配線パターン8, 9に接続すると共に、メモリIC4をランドパターン2に接続する。

【効果】 チップコンデンサのはんだ付けや外観検査を省略することができる。



1: 基板 6: コンデンサ  
2: ランドパターン 8, 9: 配線パターン  
4: メモリ IC

1

2

## 【特許請求の範囲】

【請求項1】 ランドパターン及び配線パターンが設けられた基板と、上記ランドパターンに接続されて上記基板に実装されたメモリICと、上記基板にバーニングされて設けられ、上記配線パターンに接続されたコンデンサとを備えたメモリモジュール。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、基板上にチップコンデンサと共にメモリICを実装して成るメモリモジュールに関するものである。

## 【0002】

【従来の技術】 図2は従来のメモリモジュールを示す側面断面図であり、図において、1は基板、2、3は基板1に設けられたランドパターン、4はランドパターン2にはんだ付けにより実装されたメモリIC、5はメモリIC4の下方において、ランドパターン3にはんだ付けにより実装されたノイズカット用のチップコンデンサである。

【0003】 次に動作について説明する。メモリモジュールの組立工程において、まず基板1上のランドパターン3にチップコンデンサ5を実装する。次に基板1上のランドパターン2にメモリIC4を実装する。この結果、チップコンデンサ5はメモリIC4と基板1との隙間に実装されることになる。実装完了後、外観検査工程においてチップコンデンサ5とメモリIC4のはんだ付け状態を目視検査する。

## 【0004】

【発明が解決しようとする課題】 従来のメモリモジュールは以上のように構成されているので、メモリIC4とチップコンデンサ5を実装した後で行われる外観検査工程で、メモリIC4の下方にあるチップコンデンサ5のはんだ付け状態を目視で検査することが困難であり、このためはんだ付け不良等が見逃されて製品の品質の低下を招く等の問題点があった。

【0005】 この発明は上記のような問題点を解消するためになされたもので、実装後の外観検査が困難なチップコンデンサを省略することのできるメモリモジュールを得ることを目的とする。

## 【0006】

【課題を解決するための手段】 この発明に係るメモリモジュールは、従来のチップコンデンサと同等の働きをするコンデンサを基板上にバーニングにより設けたものである。

## 【0007】

【作用】 この発明におけるメモリモジュールは、コンデンサを基板上にバーニングすることにより、外観検査が困難であった従来のチップコンデンサを省略することができ、信頼性の向上、部品点数及び工程数の削減が可

能となる。

## 【0008】

【実施例】 実施例1. 以下、この発明の一実施例を図について説明する。図1においては図2と同一部分には同一符号を付して説明を省略する。図1において、6は基板1にバーニングにより設けられたノイズカット用のコンデンサであり、メモリIC4の下方に配されている。7はコンデンサ6を作るために基板1に設けられた凹部、8、9は基板1の凹部7の両側に設けられた配線パターン、10は凹部7の底部に設けられ一端が延長されて配線パターン8に接続された金属箔、11は凹部7内で金属箔10上に設けられた絶縁体、12は絶縁体11上に設けられ一端が配線パターン9に接続された金属箔である。これらの金属箔10、12と絶縁体11によりバーニング化されたコンデンサ6が構成されている。

【0009】 次に動作について説明する。金属箔10、12はコンデンサ6の電極としてそれぞれ配線パターン8、9を介して所定の電圧が加えられる。このコンデンサ6は図2における従来のチップコンデンサ5と同様にノイズカット用として機能する。

【0010】 以上のように、基板1にコンデンサ6をバーニングすることにより、従来用いられていたチップコンデンサ5を省略することができる。チップコンデンサ5は基板1とメモリIC4との隙間に実装されていたため、目視による外観検査が困難であったが、これを省略することにより、チップコンデンサ5に関する外観検査を行わなくてよくなり、この結果、信頼性の向上、チップコンデンサ5の部品点数及びそのはんだ付けや外観検査等の工程数の削減が可能となる。

## 【0011】

【発明の効果】 以上のように、この発明によれば、基板にコンデンサをバーニングするように構成したので、従来用いられていたチップコンデンサを省略することができ、これによって製品の信頼性の向上を図ることができると共に、部品点数及び工程数を削減することができる効果がある。

## 【図面の簡単な説明】

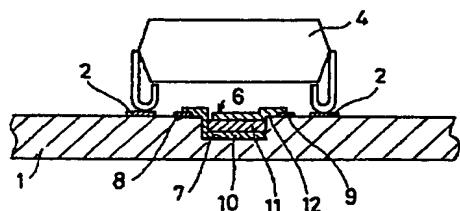
【図1】 この発明の一実施例によるメモリモジュールを示す側面断面図である。

【図2】 従来のメモリモジュールを示す側面断面図である。

## 【符号の説明】

- 1 基板
- 2 ランドパターン
- 4 メモリIC
- 6 コンデンサ
- 8, 9 配線パターン

【図1】



1: 基板  
2: ランドパターン  
4: メモリ IC  
6: コンデンサ  
8,9: 配線 パターン

【図2】

